

11040 U.S. PTO  
09/942751  
08/31/01

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-73330

(43) 公開日 平成11年(1999)3月16日

(51) Int.Cl.<sup>6</sup>  
G 0 6 F 9/46 1/32 1/00 識別記号 3 1 1 3 7 0

F I  
G 0 6 F 9/46 1/00 3 1 1 Z 3 7 0 D 3 3 2 Z

審査請求 未請求 請求項の数9 OL (全21頁)

(21) 出願番号 特願平9-234285

(22) 出願日 平成9年(1997)8月29日

(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(71) 出願人 000221052  
東芝コンピュータエンジニアリング株式会社  
東京都青梅市新町3丁目3番地の1  
(72) 発明者 山崎 浩  
東京都青梅市新町1381番地1 東芝コンピュータエンジニアリング株式会社内  
(74) 代理人 弁理士 外川 英明

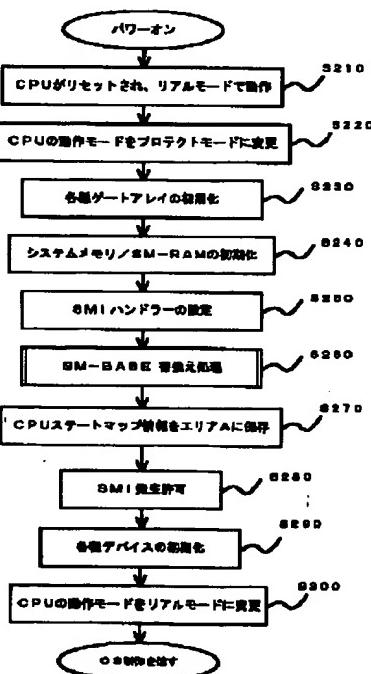
最終頁に続く

(54) 【発明の名称】 コンピュータシステム

(57) 【要約】

【課題】 CPUが、SMM中に入っている間、コンピュータシステムからCPUに対して新たに割り込み(I R Q、INT RやSMI等)を要求することが出来ない。従って、割り込み制御処理は、一連の処理を直接的に実行しなければならず、I/Oデバイスに発行した所定のコマンド処理で時間待ちが必要な場合、割り込み制御処理中の他の処理を実行できず、時間待ちを行う必要がある。

【解決手段】 システムの初期化動作時、I/OトラップSMIをCPU11に発行し、CPUステートマップ情報をSM-RAM132内の所定エリアに格納する。OS起動中に割り込み制御処理が発生した時、初期化動作時作成されたCPUステートマップ情報をCPU11に設定し、CPU11の動作モードを各種I/Oデバイスからの割り込み可能な独自モードにする。CPU11の独自モードで、割り込みを用いた処理の並列化を実行する。



**【特許請求の範囲】**

**【請求項1】** 割り込み要求を受付ないシステム管理モードで所定の処理を実行するコンピュータシステムについて、OS動作中にシステム管理割り込み要求を発生する手段と、前記システム管理割り込み要求に応答して、CPUのモードをシステム管理モードに変更する手段と、前記CPUのモードをシステム管理モード変更後、前記CPUのモードを割り込みが使用可能なモードに設定する手段と、前記割り込み制御処理を前記割り込み要求が使用可能なモードで実行する手段とを具備することを特徴とするコンピュータシステム。

**【請求項2】** 前記CPUのモードをシステム管理モードに設定する手段は、システム管理割り込み要求時のCPUステートマップ情報をメモリ中の第1のエリアに保存する手段とを具備することを特徴とする請求項1記載のコンピュータシステム。

**【請求項3】** 前記割り込み制御処理は、少なくともサスペンド/レジューム処理、又は、外部デバイスのドッキング/アンドッキング処理であることを特徴とする請求項1記載のコンピュータシステム。

**【請求項4】** 前記割り込み制御処理を割り込み要求が使用可能なモードで実行する手段は、割り込み制御処理を並列して実行する手段とを具備することを特徴とする請求項2記載のコンピュータシステム。

**【請求項5】** 前記CPUを割り込みが使用可能なモードに設定する手段は、システムの初期化時、CPUステートマップ情報をメモリの第2のエリアに保存する手段とを具備することを特徴とする請求項4記載のコンピュータシステム。

**【請求項6】** 前記CPUを割り込みが使用可能なモードに設定する手段は、前記メモリ中の第1のエリアに保存されたCPUステートマップ情報と前記第2のエリアに保存されたCPUステートマップ情報を入れ替える手段とを特徴とする請求項5記載のコンピュータシステム。

**【請求項7】** 前記CPUを割り込みが使用可能なモードに設定する手段は、前記CPUのモードをシステム管理モード上で、復帰(RSM)命令を実行し、前記メモリ中の第1のエリアに保存されたCPUステートマップ情報をCPUに設定する手段とを具備することを特徴とする請求項6記載のコンピュータシステム。

**【請求項8】** 前記コンピュータシステムは、割り込み要求が使用可能なCPUのモードで割り込み制御処理を実行終了後、再度、前記CPUのモードをシステム管理モードに変更するために、システム管理割り込み要求を発生する手段と、前記システム管理割り込み要求に応答して、前記メモリ中の第1のエリアにCPUステートマップ情報を保存する手段と、前記メモリ中の第1のエリアに保存されたCPUステートマップ情報と前記第2のエリアに保存されたCPUステートマップ情報を入れ替

える手段とを具備することを特徴とする請求項7記載のコンピュータシステム。

**【請求項9】** 前記コンピュータシステムは、前記システム管理モードから前記割り込み要求を発生する手段以前のCPUモードへ復帰する時、前記メモリ中の第1のエリアに格納されたCPUステートマップ情報を前記CPUに設定する手段とを具備することを特徴とする請求項8記載のコンピュータシステム。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明は、コンピュータシステムの割り込み制御処理に係わり、特に、その割り込み制御処理中の各処理の並列化に関する。

**【0002】**

**【従来の技術】** 近年、携帯が容易でバッテリーにより動作可能なラップトップタイプまたはノートブックタイプのパーソナルコンピュータが種々開発される。このパーソナルコンピュータの割り込み制御処理、例えば、現在の動作環境を保存し、次回コンピュータシステムの起動時に動作環境をもとに戻すラビットレジューム/サスペンド処理や、ドッキングステーションやデバイスペイ対応の外部デバイスをコンピュータシステムの通電中に接続及び切り離すドック/アンドック処理は、オペレーティングシステム(以下、OSと称す)動作中の割り込み制御処理として実行された。

**【0003】** 従来技術の割り込み制御処理の手順は、コンピュータシステム内蔵の電源マイコンが電源スイッチが押されたことを検出した場合、電源マイコンは割り込み要求線を通じて割り込み制御ロジックに対して割り込み要求を発行する。又は、OS動作中にドッキングステーションがコンピュータシステム本体の拡張バスコネクタ及び拡張デバイスがデバイスペイにドッキングした場合、同様に、ドッキングの制御を行う各回路は割り込み制御ロジックに対して割り込み要求を発行する。

**【0004】** 割り込み制御ロジックは、前記割り込み要求を受信後、中央処理装置(以下、CPUと称す)に対してシステムマネージメント割り込み(以下、SMIと称す)を発行する。

**【0005】** CPUがSMI信号受信後、CPUの動作モードをシステムマネージメントモード(以下、SMMと称する)に移行し、BIOS-ROMに格納されている割り込み制御処理を起動する。割り込み制御処理は、CPUに要求された割り込み信号に対応した割り込み制御処理を実行する。

**【0006】** ここで、SMMとは、米国インテル社製造のCPUに於いて、コンピュータシステムからCPUへSMI#信号が入力された場合、CPUがBIOS-ROM内の割り込み制御処理に移行するときに設定されるCPUの動作モードである。

**【0007】** CPUが、SMM中に入っている間、コン

ピュータシステムからCPUに対して新たに割り込み（IRQ、INTRやSMI等）を要求することが出来ない。従って、割り込み制御処理は、一連の処理を直接的に実行しなければならず、各種I/Oデバイスに発行した所定のコマンド処理で時間待ちが必要な場合、割り込み制御処理中の他の処理を実行できず、時間待ちを行う必要があった。

【0008】次に、割り込み制御処理の例として、図10に示される通り、ラビットサスペンド処理を説明する。ラビットサスペンド処理は、以下の5つの処理から構成される。

#### 【0009】

- (1) パネルライトオフシーケンス処理（S600）
- (2) HDDモータオフシーケンス処理（S610）
- (3) 各種I/Oデバイスのレジスタ保存シーケンス処理（S620）
- (4) メモリチェックサム（S630）
- (5) フラッシュROM書き換え（S640）

ここで、(1)～(3)のシーケンス処理に於いては、コマンドを受信した各種I/Oデバイスがそのコマンドに対応する処理を完了するまでにはある一定時間が必要となる。各シーケンスの処理が完了しない限り、次のシーケンスを実行することは出来ない。

【0010】このように、各シーケンスの処理に於いては、そのデバイスのコマンド処理に要する時間だけ、次のシーケンス処理のタイミングが遅延されることになる。従って、SMMを用いたシステムの割り込み制御処理（ラビットサスペンド処理）を実行する時間は、各シーケンス処理のコマンドに対応する時間（待ち時間を含む）の総和となり、多くの時間が要した。

【0011】更に、上記ラビットサスペンド処理中に、コンピュータシステムのI/Oデバイス（電源マイコン）からの電源オフ・オンの要求を受け付けるために、ラビットサスペンド処理中に電源マイコンからの要求の有無をポーリング（S660）してチェックしていたので、タイムリーな処理ができなかった。

#### 【0012】

【発明が解決しようとする課題】上記した従来技術では、SMM中で割り込み制御処理を実行する場合、他の割り込み要求を受け付けられないので、割り込み制御処理に時間がかかるという問題があった。

【0013】また、割り込み制御処理中に他のI/Oデバイスからの割り込み要求が受け付けられないので、各種I/Oデバイスに対してポーリングして要求の有無をチェックする別途特別な処理を必要としていた。

【0014】そこで、本発明は上記の問題を解決するためになされたものであり、割り込み要求を受付ないSMMで、CPUの動作モードを割り込み可能とし、割り込み制御処理中で必要な処理を並列化することにより割り込み制御処理全体の処理時間の短縮を提供することを目

的とする。

#### 【0015】

【課題を解決するための手段】この発明は、割り込み要求を受付ないシステム管理モードで所定の処理を実行するコンピュータシステムに於いて、OS動作中にシステム管理割り込み要求を発生する手段と、前記システム管理割り込み要求に応答して、CPUの動作モードをシステム管理モードに変更する手段と、前記CPUのモードをシステム管理モード変更後、前記CPUの動作モードを割り込みが使用可能なモードに設定する手段と、前記割り込み制御処理を前記割り込み要求が使用可能なモードで実行する手段とを具備したことを特徴とする。

【0016】このような構成によれば、システムの初期化時、CPUステートマップ情報をメモリ上に保存することによって、OS起動中にシステム管理割り込み要求を受けた場合、CPUの動作モードをシステム管理モードから割り込み可能なモードへ変更し、割り込み制御処理を割り込み可能なモードで実行することによって、割り込み制御処理中で必要な処理を並列化することができ、割り込み制御処理全体の処理時間を短縮することができる。

#### 【0017】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態を説明する。図1には、この発明の一実施形態に係るコンピュータシステムの構成が示される。このコンピュータシステムは、バッテリ駆動可能なノートブックタイプまたはラップトップタイプのポータブルコンピュータであり、そのシステムボード上には、プロセッサバス1、内部PCIバス2、内部ISAバス3、およびI2Cバス4が配設される。また、このポータブルコンピュータ本体に設けられたドッキングコネクタ10には、機能拡張のための拡張ユニットとして、図2のドッキングステーション30がユーザによって必要に応じて接続される。ドッキングコネクタ10は、図示のように、3つのコネクタ要素101、102、103から構成される。

【0018】コンピュータ本体内に、CPU11、ホスト-PCIブリッジ装置12、メモリ13、ディスプレイコントローラ14、DSPインターフェースゲートアレイ（以下、DSP IF GAと称す）15、内部PCI-ISAブリッジ装置16、デバイスペイコントローラ17、PCI-DS（DS：ドッキングステーション）ブリッジ装置18、BIOS-ROM19、ハードディスクドライブ20、キーボードコントローラ21、リアルタイムクロック（以下、RTCと称す）22、I/Oコントロールゲートアレイ23、電源コントローラ（以下、PSCと称す）24などが設けられる。

【0019】ドッキングステーション30は、PCI拡張カード、ISA拡張カード、PCカード、ハードディスクドライブ、CD-ROMドライブなどの拡張デバイ

スの増設のために使用されるものであり、このドッキングステーション30内には、図2に示されているように、外部PCIバス5および外部ISAバス6が拡張バスとして配設されており、そこにはPCI拡張スロットおよびISA拡張スロットなどが接続される。ここでは、この外部ISAバス6にハードディスクドライブ36が接続される。

【0020】また、このドッキングステーション30内には、DS-PCI/ISAブリッジ装置31、DSコントローラ33、EEPROM34なども設けられる。次に、図1のコンピュータ本体に設けられた各コンポーネントの機能および構成について説明する。

【0021】CPU11は、たとえば、米インテル社によって製造販売されているマイクロプロセッサ“pentium”などによって実現される。このCPU11の入出力ピンに直結されているプロセッサバス1は、64ビット幅のデータバスを有す。

【0022】ホスト-PCIブリッジ装置12は、プロセッサバス1と内部PCIバス2との間を繋ぐブリッジLSIであり、PCIバス2のバスマスターの1つとして機能する。このホスト-PCIブリッジ装置12は、プロセッサバス1と内部PCIバス2との間で、データおよびアドレスを含むバスサイクルを双方方向で変換する機能、およびメモリバスを介してメモリ13をアクセス制御する機能などを有す。

【0023】更に、ホスト-PCIブリッジ装置12は、CPU11に対する割り込みを発行する割り込み制御回路を内蔵し、該回路はSMI発生回路121、SMI要因レジスタ122、ソフトSMIタイマーイネーブルレジスタ123と、カウンタレジスタ124から構成される。

【0024】SMI発生回路121は、電源スイッチのオン/オフ動作、ドッキングステーションのドック/アンドック動作、ホットキーからのH/W割り込みに応じてCPU11のSMI#ピンに対してSMI#信号を発行する。

【0025】SMI要因レジスタ122は、SMI発生回路121に接続され、SMI発生の要因を識別するためのレジスタであり、ここでは、電源スイッチのオン/オフ動作、ドッキングステーションのドック/アンドック動作、ホットキーからのH/W割り込みの状態を示すステータスピットを格納する。

【0026】ソフトSMIタイマーイネーブルレジスタ123は、カウンタレジスタ1123のダウンカウントの開始をイネーブルするレジスタである。カウンタレジスタ124は、後述する各シーケンステーブルのうち、次回起動時間が最も早い時刻から現在の時間を引いた値が設定され、カウンタ値が“0”に達した時、CPU11に対してSMI#信号を発行する。

【0027】メモリ13は、オペレーティングシステ

ム、デバイスドライバ、実行対象のアプリケーションプログラム、および処理データなどを格納するメモリデバイスであり、複数のDRAMモジュールによって構成される。

【0028】また、このメモリ13は、システムボード上に予め実装されるシステムメモリ131と、システムメモリの一部として使用されるSM-RAM132から構成される。

【0029】これらシステムメモリ131およびSM-RAM132を構成するDRAMモジュールとしては、シンクロナスDRAMやRambusなど、バンク毎にメモリクロックの供給が必要な高速メモリが利用される。

【0030】SM-RAM132には、不揮発性メモリ又はバックアップされた64kBイトメモリで構成され、後述するCPUステートマップを格納するエリアA及びエリアBや割り込み制御処理の並列化を行う為のシーケンステーブルの各々が設けられる。

【0031】更に、SM-RAM132には、ユーザがシステム起動時に入力したパスワード情報やSMM起動時のSM-BIOS19への飛び先を指定するSMIハンドラーを格納する。

【0032】このメモリ13は、32ビット幅または64ビット幅のデータバスを有する専用のメモリバスを介してホスト-PCIブリッジ装置12に接続される。メモリバスのデータバスとしてはプロセッサバス1のデータバスを利用することもできる。この場合、メモリバスは、アドレスバスと各種メモリ制御信号線とから構成される。

【0033】内部PCIバス2はクロック同期型の入出力バスであり、内部PCIバス2上の全てのサイクルはPCIバスクロックに同期して行われる。PCIバスクロックの周波数は最大33MHzである。PCIバス2は、時分割的に使用されるアドレス/データバスを有す。このアドレス/データバスは、32ビット幅である。

【0034】PCIバス2上のデータ転送サイクルは、アドレスフェーズとそれに後続する1以上のデータフェーズとから構成される。アドレスフェーズにおいてはアドレスおよび転送タイプが outputされ、データフェーズでは8ビット、16ビット、24ビットまたは32ビットのデータが outputされる。

【0035】ディスプレイコントローラ14は、ホスト-PCIブリッジ装置12と同様にPCIバス2のバスマスターの1つであり、ビデオメモリ(VRAM)143の画像データをLCD141や外部のCRTディスプレイ142に表示する。

【0036】DSPインターフェースゲートアレイ15は、PCIデバイスの1つであり、DSP151、モデム(CODEC)152、およびサウンドCODEC1

53と共同して各種サウンド処理や電話/データの通信処理を行なうためのDSPシステムを構成する。

【0037】このDSPインターフェースゲートアレイ15は、メモリ13に読み込まれて実行される専用のデバイスドライバプログラムの制御の下でDSP151、MODEM(CODEC)152、およびサウンドCODEC153と通信して、DSP151のデジタル信号処理機能を利用したサウンド処理や通信処理を制御する。

【0038】内部PCI-ISAブリッジ装置16は、内部PCIバス2と内部ISAバス3との間を繋ぐブリッジLSIであり、PCIデバイスの1つとして機能する。この内部PCI-ISAブリッジ装置16には、PCIバスアービタ、およびDMAコントローラなどが内蔵される。内部ISAバス3には、BIOS-ROM19、HDD20、キーボードコントローラ21、RTC22、I/Oコントロールゲートアレイ23が接続される。

【0039】デバイスペイコントローラ17は、PCIデバイスの1つであり、ドッキングされたデバイスペイ仕様の外部拡張デバイスを制御する。PCI-DSブリッジ装置18は、ドッキングステーション30との間でバスの接続および切断を制御する。すなわち、PCI-DSブリッジ装置18は、内部PCIバス2とPCIバス相当のドッキングバスとを繋ぐブリッジLSIであり、PCIデバイスの1つとして機能する。このドッキングバス7は、ドッキングコネクタ10のコネクタ要素101を介して外部に導出され、ドッキングステーション30に接続される。

【0040】BIOS-ROM19は、システムB IOS(Basic I/O System)を記憶するためのものであり、プログラム書き替えが可能なようにフラッシュメモリ(EEPROM)によって構成される。このシステムB IOSには、システムブート時に実行されるIRTルーチン(POST)と、各種I/Oデバイスを制御するためのデバイスドライバ(ランタイム)と、割り込み制御処理を実行するシステム管理プログラム(SM-BIOS)と、セットアップルーチンやユーザが設定したパスワード情報が含まれる。

【0041】システム管理プログラムは、SMMにおいて実行される割り込みプログラムであり、SMIハンドラー、およびホットキー処理ルーチンなどの各種SMIサービスルーチンを含む。SMIハンドラーは、SMIの発生要因に応じてSMIサービスルーチンを起動するためのものであり、ホットキーによるSMIが発生した場合にはホットキー処理ルーチンを起動し、他の要因によるSMIが発生した場合にはその要因に対応するSMIサービスルーチンを起動する。本願発明の実施形態に於いては、SM-BIOSは、I/Oトラップ命令とソフトSMIタイマーによりCPU11にSMI#信号を発行し、SMIサービスルーチンから割り込み制御処理

を実行する。

【0042】ハードディスクドライブ(HDD)20は、内部ISAバス3に接続され、オペレーティングシステム(以降、OSと称す)を格納したプライマリーなHDDであり、このハードディスクドライブ20はアクセスロック機構によりアクセスロック状態である。更に、ハードディスクドライブ20は、システムとの入出力を制御するハードディスクコントローラと、パスワードを格納するメモリと、コンピュータシステムのデータを格納可能なメディアから構成される。

【0043】I/Oコントロールゲートアレイ23は、内部ISAバス3とI2Cバス4とを繋ぐブリッジLSIであり、CPU11によってリード/ライト可能な複数のレジスタ群を内蔵する。これらレジスタ群を使用することにより、CPU11とI2Cバス4上の電源コントローラ24やDSコントローラ33との通信が可能となる。

【0044】このI/Oコントロールゲートアレイ23からは、ドッキングステーション30と接続される制御信号線がドッキングコネクタ10のコネクタ要素102を介して複数本外部に導出される。また、I/Oコントロールゲートアレイ23は、コンピュータ本体とドッキングステーション30とのドッキング/アンドッキングを検出し、さらにコンピュータ本体が電源オン状態のままでドッキングステーション30の接続が行われたときに、活線挿抜などによってドッキングステーション30内の拡張ユニットの破壊やシステムの誤動作が生じないように制御する。

【0045】更に、I/Oコントロールゲートアレイ23は、割り込みレジスタ231を内蔵し、電源スイッチのオン/オフを示すデータを電源コントローラ24経由およびドッキングステーション30内のドッキング/アンドックを示すデータをDSコントローラ33経由で設定される。

【0046】I2Cバス4は、1本のクロック信号線と1本のデータ線(SDA)から構成される双方向バスであり、これはドッキングコネクタ10のコネクタ要素103を介して外部に導出される。

【0047】電源コントローラ24は、電源スイッチのオン/オフなどに応じてコンピュータ本体をパワーオン/パワーオフするためのものであり、また、ドッキングステーション30とのドック/アンドック応じた電源制御も行う。

【0048】次に、図2のドッキングステーション30のコンポーネントについて説明する。前述したように、ドッキングステーション30は、ポータブルコンピュータ本体に取り外し可能に装着できる拡張ユニットである。図3はコンピュータ本体がドッキングステーション30に装着される様子を示すものである。

【0049】このような外観を持つドッキングステーシ

ヨン30内部に設けられたDS-PCI/ISAブリッジ装置31は、コンピュータ本体からドッキングステーション30に導出されるドッキングバス7と外部PCIバス5および外部ISAバス6とを繋ぐブリッジLSIである。このDS-PCI/ISAブリッジ装置31はPCIデバイスの1つである。

【0050】DSコントローラ33は、ドッキングステーション30の電源のオン/オフ、およびポータブルコンピュータ本体とドッキングステーション30とのドッキング/アンドドッキングを制御するためのマイコンであり、I2Cバス4を使用してコンピュータ本体のI/Oコントロールゲートアレイ23と通信する。

【0051】EEPROM34は、ドッキングステーション30の拡張スロットに装着されている拡張カードなどの属性（アドレス、DMAチャンネル、IRQ番号、その他）など、Plug-and Play（Plug and Play）に必要なPnP情報が格納される。このPnP情報は、コンピュータ本体とドッキングステーション30とがドッキングされた時や、コンピュータ本体又はドッキングステーション30のパワーオン時などに、BIOS-ROM19のシステムBIOSの制御の下、I2Cバス4を介してI/Oコントロールゲートアレイ23によってEEPROM34からリードされる。

【0052】カードコントローラ35は、コンピュータ本体内のカードコントローラ17と同様に、PCMCIA/カードバス準拠のPCカードを制御する。次に、図4と図5のフローチャートと図6のCPUメモリマップを参照して、図1のコンピュータシステムの電源投入時（初期化処理時）の動作について説明する。

【0053】図1のコンピュータシステムがパワーオンされると、CPU11はリセットされ、リアルモードで動作を開始する（S210）。システムパワーオン時には、BIOS-ROM19内のシステムBIOSがCPUメモリアドレスF0000～FFF0に割当てられており、CPU11は、アドレスFFF0の命令をフェッチする。これにより、システムBIOSのPOST（Power On Self Test）ルーチンの実行がリアルモード環境で開始される。

【0054】POSTルーチンは、CPU11のMSWレジスタの設定などによってCPU11の動作モードをリアルモードに変更する（S220）。この後、プロテクトモードにおいて、コンピュータシステムの各種ゲートアレイ等の初期化処理やシステムメモリ131/SM-RAM132のリード/ライトコンペアチェックを実行する（S230～240）。

【0055】次に、図6に示される通り、SM-RAM132は、POSTルーチンの初期化開始時、SM-BASEレジスタによって、30000Hに割り付けられており、CPU11にSMI#信号が発行された際のSM-BIOSへのファージャンプ先を設定する為に、3

8000Hに割り付けられたSMIハンドラーにファージャンプ先の設定を実行する（S250）。

【0056】POSTルーチンは、CPU11に対するSMI#信号発行後のSM-RAM132のCPUメモリマップの割り付け変更の為に、SMI発生回路121のイネーブル化を行い、SMI発生回路からCPU11に対するSMI#信号を発行可能とする（S310）。

【0057】POSTルーチンは、CPUのAHレジスタにBIOSファンクションコールを設定し、特定のI/Oアドレスで割り込みトラップを仕掛け、CPU11に対してSMI#信号（以下、I/OトラップSMIと称す）を発行する（S320）。

【0058】CPU11に対するSMI#信号発行に伴い、割込み発生時のCPUステートマップが3FE00H以降512Kバイトに自動的に格納され、SMIハンドラーが呼び出される。SMIハンドラーは、SMIハンドラーに設定されたファージャンプ先のSM-BIOSを起動し、SM-RAM132のCPUメモリマップの割り付け変更を実行する。

【0059】ここで、CPUステートマップとは、CPU11にSMI#信号を発行して、CPU11の動作モードをSMMに移行する際、SMI#信号発行時のCPUの現在の状態をSM-RAM132内の所定エリアに保存し、SMMから抜ける際に、前記エリアに保存していた情報をCPU11にストアーするために使用される。

【0060】SM-BIOSは、SM-BASEレジスタ値をFFE0000Hに書き換える（S330）。SM-BASEレジスタ値の書き換えで設定されたSM-RAM132のCPUメモリマップは、図6に示される通り、FFE0000H以降の64Kバイトに割り付けられる。

【0061】SM-BIOSは、SM-BASEレジスタの値を書換え後、RSM命令を実行し、以降のSMI#信号の発生を禁止する（S340～S350）。SM-BASEレジスタ値の書換え割り込み処理から復帰したPOSTルーチンは、CPU11が割り込み可能な独自モードを作成する為、3FE00H以降512Kバイトに格納されたCPUステートマップをSM-RAM132のFFE00H以降の512バイトのエリアBに書き込む（S270）。

【0062】ここで、CPU11が割り込み可能な独自モードとは、SMIを含めた全割り込み（IRQ、NMI等）が可能であり、その割り込みをシステムBIOSが管理可能な状態である。

【0063】次に、POSTルーチンは、OS起動後、SMI発生回路からCPU11に対するSMI#信号を発行可能とする為、SMI発生回路121のイネーブル化を実行し、各種デバイスの初期化（各種デバイスへの既定値設定）を実行する（S280～S290）。

【0064】各種デバイスの既定値設定処理終了後、POSTルーチンは、CPU11のMSWレジスタの設定などによってCPU11の動作モードをプロテクトモードからリアルモードに変更し、OSを起動する(S300)。

【0065】次に、図7のフローチャートを参照して、OS起動中の割り込み制御処理の動作を説明する。システムBIOSのPOSTルーチン完了後、OSに制御を移行した後、suspend/レジューム要求の発生、又は、デスクステーションのドッキング/アンドッキング要求の発生、即ち、I/Oコントロールゲートアレイ23内の割り込みレジスタ231に電源スイッチのオン/オフ、又は、ドッキングステーション30のドック/アンドックの状態変化を設定すると、ポイントーポイントの割り込み線を介してSMI発生回路121にSMI#信号発行を要求する。SMI発生回路121は、SMI要因レジスタ122に対応する要因ビットを設定し、CPU11に対してSMI#信号を発行する。

【0066】CPU11がSMI#信号を受信すると、CPU11の動作モードをSMMに変更し、割り込み時のCPUステートをSM-RAM内のエリアBに格納する(S410)。

【0067】次に、SM-RAM内のSMIハンドラーに設定されたファージャンプ先のSM-BIOSが起動され、SM-BIOSは、SMI発生要因のチェックを行う。SM-BIOSは、SMI要因レジスタ122の内容をチェックし、もしSM-BIOSが電源スイッチのオン/オフ動作に伴う状態変化であると判断したならば、SM-RAM132のエリアBに格納されたCPUステートマップ情報を初期化時保存したエリアAのCPUステートマップ情報と相互に入れ替える(S420～S430)。

【0068】CPU11の動作モードを独自モードに切り替え、ラビットサスペンド処理を並列処理する為、SM-BIOSは、初期化時設定したCPUステートマップ情報中のプログラムカウンタ(以降、PCと称す)の値をラビットサスペンド処理が格納されたBIOS-ROM番地に設定し、RSM命令を実行する。CPU11は、RSM命令に応答して、SM-RAM132内のエリアBに格納されたCPUステートマップ情報をCPU11内の各レジスタにリストアする(S440)。

【0069】CPU11が独自モードに変更後、CPU11のPCに設定されたアドレス値から次の命令を実行し、図8に示された通り、後述するラビットサスペンド処理の並列化を実行する(S450)。

【0070】ラビットサスペンド処理の並列化実行終了後、システムBIOSはI/OトラップSMIをCPU11に発行する。システムBIOSは、このSMI#信号を発行する前に、CPU11のAHレジスタにSMMモードでのBIOSファンクションを設定する(S46

0)。

【0071】CPU11がSMMモードに遷移後、SM-BIOSが起動される。SM-BIOSは、SMI要因レジスタ122をチェックし、SMI発生の要因を確認する。SM-BIOSは、SMIがI/OトラップSMIで発行されたことを確認後、CPUステートマップ情報が格納されたエリアBのAHレジスタの値を確認し、SM-BIOSは、独自モードからのSMI発行と判断し、SM-RAM132内のエリアBに格納されたCPUステートマップ情報をエリアAの内容と相互に入れ替える(S470)。

【0072】SM-BIOSは、RSM命令を実行後、SM-RAM132内のエリアBに格納されたCPUステートマップ情報をCPU11にリストアし、ラビットサスペンド処理に係る割り込み制御処理の全て終了する(S480)。

【0073】次に、図8のCPU処理の進行状況タイミング、図9のシーケンステーブル内の各ワーキングエリア情報と、図10の各シーケンス処理のフローチャートを参照して、割り込みを用いた並列処理の動作を説明する。

【0074】システムBIOSは、ラビットサスペンド処理のパネルオフシーケンス処理を起動する為に、CPU11のAHレジスタにBIOSファンクションを設定し、I/OトラップSMIをCPU11に発行する(S500)。

【0075】CPU11の動作モードが、SMMに遷移後、パネルオフシーケンス処理が呼び出される。パネルオフシーケンス処理は、初めに、電源コントローラ24のビージェックを要求する(S510)。電源コントローラ24のビージェックは、所定インターバル(待ち時間)を費やすので、パネルオフシーケンス処理は電源コントローラ24のビージェック要求後、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“A”、パネルオフシーケンス処理が動作中であることを示すフラグと、インターバルタイム値(次回起動時間：インターバル1)を設定する(S520)。

【0076】パネルオフシーケンス処理は、各シーケンステーブル125内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530～S550)。この場合、パネルオフシーケンス処理の動作フラグしか立っていないので、最も早い次回起動時間は、パネルオフシーケンスの起動時間である。

【0077】カウンタレジスタ124に次回起動時間を設定後、パネルオフシーケンス処理は、SMIタイマーイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウントを開始する(S560)。

【0078】パネルオフシーケンス処理は、RS M命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する(S570)。ラビットサスペンド処理のメインルーチンに復帰後、ラビットサスペンド処理は、CPU11のAHレジスタにSM-BIOSファンクションを設定後、I/OトラップSMIをCPU11に発行して、HDDモータオフシーケンス処理を起動する(S500)。

【0079】起動されたHDDモータオフシーケンス処理は、最初に、HDD20内蔵のハードディスクコントローラのビージェックを要求する(S510)。ハードディスクコントローラのビージェックは、所定インターバル(待ち時間)を費やすので、HDDモータオフシーケンス処理はハードディスクコントローラのビージェック要求後、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“B”、ハードディスクコントローラオフシーケンス処理が動作中であることを示すフラグと、インターバルタイマ値(次回起動時間：インターバル1)を設定する(S520)。

【0080】ハードディスクコントローラオフシーケンス処理は、各シーケンステーブル内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530～S550)。この場合、パネルオフシーケンス処理の次回起動時間の方が、HDDモータオフシーケンス処理の次回起動時間より早いので、最も早い次回起動時間は、パネルオフシーケンスの起動時間である。

【0081】HDDモータオフシーケンス処理は、カウンタレジスタ124にパネルオフシーケンスの次回起動時間を設定後、SMIタイマーイネーブルレジスタ123を設定し、カウンタレジスタ125のダウンカウントを開始する(S560)。

【0082】HDDモータオフシーケンス処理は、RS M命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する(S570)。ラビットサスペンド処理のメインルーチンに復帰後、ラビットサスペンド処理は、CPU11のAHレジスタにSM-BIOSファンクションを設定後、I/OトラップSMIをCPU11に発行して、各種I/Oレジスタの保存シーケンス処理を起動する(S500)。

【0083】各種I/Oレジスタの保存シーケンス処理は、各種I/Oレジスタに格納されているデータの出力を要求する為にコマンドを発行する(S510)。各種I/Oレジスタのデータ出力要求の処理は、所定インターバル(待ち時間)を費やすので、各種I/Oレジスタの保存シーケンス処理はコマンド出力後、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“C”、各種I/Oレジスタの保存シーケ

ンス処理が動作中であることを示すフラグと、インターバルタイマ値(次回起動時間：インターバル1)を設定する(S520)。

【0084】各種I/Oレジスタの保存シーケンス処理は、各シーケンステーブル125内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530～S550)。この場合、パネルオフシーケンス処理の次回起動時間の方が、HDDモータオフシーケンス処理の次回起動時間や各種I/Oレジスタの保存シーケンス処理の次回起動時間より早いので、最も早い次回起動時間は、パネルオフシーケンスの起動時間である。

【0085】各種I/Oレジスタの保存シーケンス処理は、カウンタレジスタ124にパネルオフシーケンスの次回起動時間を設定後、SMIタイマーイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウントを開始する(S560)。

【0086】各種I/Oレジスタの保存シーケンス処理は、RS M命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する(S570)。この場合、既に、パネルオフシーケンス処理の起動時間が経過しているので、各種I/Oレジスタの保存シーケンス処理がRS M命令実行後、直ぐに、カウンタレジスタ124はゼロカウントとなる。カウンタレジスタ124のゼロカウント到達に応答して、I/OトラップSMIがCPU11に発行される。SM-BIOSは、SM-RAM132内の各シーケンステーブルから最も早い起動時間であるパネルオフシーケンス処理の処理を実行する(S500)。

【0087】パネルオフシーケンス処理は、初めに、電源コントローラ24のビージェック後、電源コントローラ24に対してパネルオフコマンドを出力する(S510)。電源コントローラ24はパネルオフコマンドの処理を実行するために所定インターバル(待ち時間)を費やすので、パネルオフシーケンス処理は電源コントローラ24にパネルオフコマンド出力後、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“A2”、パネルオフシーケンス処理が動作中であることを示すフラグと、インターバルタイマ値(次回起動時間：インターバル2)を設定する(S520)。

【0088】パネルオフシーケンス処理は、各シーケンステーブル125内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530～S550)。この場合、パネルオフシーケンス処理とHDDモータオフシーケンス処理と各種I/Oレジスタの保存シーケンス処理の動作フラグが立っている。最も早い次回起動時間は、

HDDモータオフシーケンスの起動時間である。

【0089】カウンタレジスタ124に次回起動時間を設定後、パネルオフシーケンス処理は、SMIタイマーアイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウントを開始する(S560)。

【0090】パネルオフシーケンス処理は、RSM命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する(S570)。既に、HDDモータオフシーケンス処理の起動時間が経過しているので、パネルオフシーケンス処理がRSM命令実行後、直ぐに、カウンタレジスタ124はゼロカウントとなる。カウンタレジスタ124のゼロカウント到達に応答して、I/OトラップSMIがCPU11に発行される。SM-BIOSは、SM-RAM132内の各シーケンステーブルから最も早い起動時間であるHDDモータオフ処理の処理を実行する(S500)。

【0091】HDDモータオフシーケンス処理は、ハードディスクコントローラのビージーチェック後、ハードディスクコントローラに対してハードディスクコントローラモータオフコマンドを出力する(S510)。ハードディスクコントローラはモータオフコマンドの処理を実行するために所定インターバル(待ち時間)を費やすので、HDDモータオフシーケンス処理はハードディスクコントローラにモータオフコマンド出力後、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“B2”、HDDモータオフシーケンス処理が動作中であることを示すフラグと、インターバルタイム値(次回起動時間：インターバル2)を設定する(S520)。

【0092】HDDモータオフシーケンス処理は、各シーケンステーブル125内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530～S550)。この場合、パネルオフシーケンス処理、HDDモータオフシーケンス処理と各種I/Oレジスタの保存シーケンス処理の動作フラグが立っている。最も早い次回起動時間は、各種I/Oレジスタの保存シーケンスの起動時間である。

【0093】カウンタレジスタ124に次回起動時間を設定後、パネルオフシーケンス処理は、SMIタイマーアイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウントを開始する(S560)。

【0094】パネルオフシーケンス処理は、RSM命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する(S570)。既に、各種I/Oレジスタの保存シーケンス処理の起動時間が経過しているので、HDDモータオフシーケンス処理がRSM命令実行後、直ぐに、カウンタレジスタ124はゼロカウントとなる。カウンタレジスタ124のゼロカウント到達に応答し

て、I/OトラップSMIがCPU11に発行される。SM-BIOSは、SM-RAM132内の各シーケンステーブルから最も早い起動時間である各種I/Oレジスタの保存シーケンス処理の処理を実行する(S500)。

【0095】各種I/Oレジスタの保存シーケンス処理は、レジスタデータ要求のコマンド出力に応答して、各種I/Oからレディー信号を受信する。各種I/Oレジスタの保存シーケンス処理は、各種I/O内のレジスタデータを読み出し、システムメモリ内のバックアップされた所定領域に該データを保存する(S510)。各種I/Oレジスタの保存シーケンス処理は、SM-RAM132内のシーケンステーブル125に各種I/Oレジスタの保存シーケンス処理が終了したことを示すフラグを設定する(S520)。

【0096】各種I/Oレジスタの保存シーケンス処理は、各シーケンステーブル内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530～S550)。この場合、パネルオフシーケンス処理とHDDモータオフシーケンス処理の動作フラグが立っている。最も早い次回起動時間は、HDDモータオフシーケンスの起動時間である。

【0097】各種I/Oレジスタの保存シーケンス処理は、カウンタレジスタ124に次回起動時間を設定後、ソフトSMIタイマーアイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウントを開始する(S560)。

【0098】各種I/Oレジスタの保存シーケンス処理は、RSM命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する(S570)。既に、HDDモータオフシーケンス処理の起動時間が経過しているので、各種I/Oレジスタの保存シーケンス処理がRSM命令実行後、直ぐに、カウンタレジスタ124はゼロカウントとなる。カウンタレジスタ124のゼロカウント到達に応答して、I/OトラップSMIがCPU11に発行される。起動されたSM-BIOSは、SM-RAM132内の各シーケンステーブル125から最も早い起動時間であるパネルオフシーケンス処理の処理を実行する(S500)。

【0099】パネルオフシーケンス処理は、パネルオフコマンド出力に応答して、電源コントローラ24からレディー信号を受信する。パネルオフシーケンス処理は、レディー信号受信後、220msのウエイト処理を実行する(S510)。パネルオフシーケンス処理は、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“A3”、パネルオフオフシーケンス処理が動作中であることを示すフラグと、インターバルタイム値(次回起動時間：インターバル3)を設定

する(S520)。

パネルオフシーケンス処理は、各シーケンステーブル125内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530～S550)。この場合、パネルオフシーケンス処理とHDDモータオフシーケンス処理の動作フラグが立っている。最も早い次回起動時間は、HDDモータオフシーケンスの起動時間である。

【0100】パネルオフシーケンス処理は、カウンタレジスタ124に次回起動時間を設定後、ソフトSMIタイマーイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウントを開始する(S560)。

【0101】パネルオフシーケンス処理は、RSM命令を実行して、ラピットサスペンド処理のメインルーチンに復帰する(S570)。既に、HDDモータオフシーケンス処理の起動時間が経過しているので、パネルオフシーケンス処理がRSM命令実行後、直ぐに、カウンタレジスタ124はゼロカウントとなる。カウンタレジスタ124のゼロカウント到達に応答して、I/OトラップSMIがCPU11に発行される。起動されたSM-BIOSは、SM-RAM132内の各シーケンステーブル125から最も早い起動時間であるHDDモータオフシーケンス処理の処理を実行する(S500)。

【0102】HDDモータオフシーケンス処理は、ハードディスクコントローラオフコマンド出力に応答して、ハードディスクコントローラからレディー信号を受信する(S510)。HDDモータオフシーケンス処理は、HDDモータオフシーケンス処理が終了したことを示すフラグを設定する(S520)。

HDDモータオフシーケンス処理は、各シーケンステーブル125内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530～S550)。この場合、パネルオフシーケンス処理の動作フラグのみが立っている。最も早い次回起動時間は、パネルオフシーケンスの起動時間である。

【0103】HDDモータオフシーケンス処理は、カウンタレジスタ124に次回起動時間を設定後、ソフトSMIタイマーイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウントを開始する(S560)。

【0104】パネルオフシーケンス処理は、RSM命令を実行して、ラピットサスペンド処理のメインルーチンに復帰する(S570)。ラピットサスペンド処理のメインルーチンは、メモリ13のチェックサムを実行し、その結果をメモリの所定領域に保存する。次に、ラピットサスペンド処理のメインルーチンは、パスワード情報

やPnP情報をBIOS-ROM19に保存する。BIOS-ROM19の書き換え中に、カウンタレジスタ124のカウントがゼロに達した場合、CPU11に対してI/OトラップSMIが発行される(S500)。BIOS-ROM19の書き換え処理は一時中断され、CPU11のステータスマップ情報は、SM-RAM内のエリアBに格納される。CPUのAHレジスタにセットされたファンクションに基づき、SM-BIOS処理が起動される。

【0105】起動されたSM-BIOSは、SMI要因レジスタ122等の内容を確認し、パネルオフシーケンス処理を実行する。パネルオフシーケンス処理は、220msのウェイト後、LCDパネルをディスエーブル処理し、パネルオフシーケンス処理が終了したことを示すフラグを設定する(S510～S520)。

パネルオフシーケンス処理は、各シーケンステーブル125内の動作中フラグが全て終了しているので、カウンタレジスタ124にはなにも設定せず、RSM命令を実行して、SM-RAM132内のエリアBに格納されていたCPUステートマップ情報をCPUにリストアして、ラピットサスペンド処理のメインルーチンに復帰する(S530～S570)。

【0106】BIOS-ROM19の書き換え処理は、中断された個所から処理を継続し、その処理を終了する。更に、ラピットサスペンド処理のメインは、各シーケンス処理が全て終了しているかSM-RAM132内の動作フラグを確認し、各シーケンス処理が全て終了していることを確認後、割り込みを用いた処理並列化(ラピットサスペンド処理)を終了する。

【0107】本願実施形態の様な構成にすれば、CPU11を独自モードに切り替え後、I/Oデバイスからの応答を割り込み制御処理で受け付けられるので、ポーリング処理で検出するより確実な検出が可能となる。

【0108】例えば、OS起動中に電源スイッチが押圧され、ラピットサスペンド処理の実行中に、再度、電源スイッチが押圧されたとしても、電源コントローラ24は、I/OコントローラGA23内の割り込みレジスタに電源スイッチのオン/オフ状態を設定する。割り込みレジスタ231は、SMI121発生回路121にポイントの割り込み専用線を介して接続されているので、割り込みレジスタ231に状態変化に対応したビットを設定することによって、SMI#信号をCPU11に発行することが出来る。

【0109】尚、本願発明の実施形態では、ラピットサスペンド処理の並列化の動作を説明したが、通常のサスペンド/リジューム処理、ドック/アンドッキング処理もCPUを独自モードに切り替えることによって並列化処理が出来る。

【0110】

【発明の効果】以上説明したように、この発明によれ

ば、割り込み要求を受付ないSMMで、CPUの動作モードを割り込み可能とし、割り込み制御処理中で必要な処理を並列化することにより割り込み制御処理全体の処理時間を短縮できる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係わるコンピュータシステムのシステム構成を示すブロック図。

【図2】同実施形態のシステムで使用されるドッキングステーションの構成を示すブロック図。

【図3】同実施形態のコンピュータ本体がドッキングステーションに装着される様子を示す図。

【図4】同実施形態のシステムで電源投入時（初期化処理時）の動作の手順を示すフローチャート。

【図5】同実施形態のシステムでSM-BASEレジスタ値の書き換え処理の動作の手順を示すフローチャート。

【図6】同実施形態のシステムでCPUのメモリマップを示すブロック図。

【図7】同実施形態のシステムでOS起動中の割り込み制御処理の手順を示すフローチャート。

【図8】同実施形態のシステムで並列化されたラビットサスPEND処理のCPU進行状況を示すタイミング図。

【図9】同実施形態のシステムでSM-RAM中に設け

られたシーケンステーブルの構成を示すブロック図。

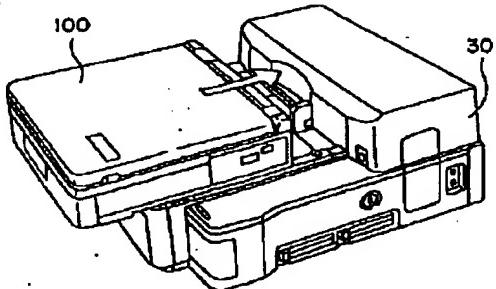
【図10】同実施形態のシステムでラビットサスPEND処理中の各シーケンス処理の手順を示すフローチャート。

【図11】従来のOS起動中の割り込み制御処理の手順を示すフローチャート。

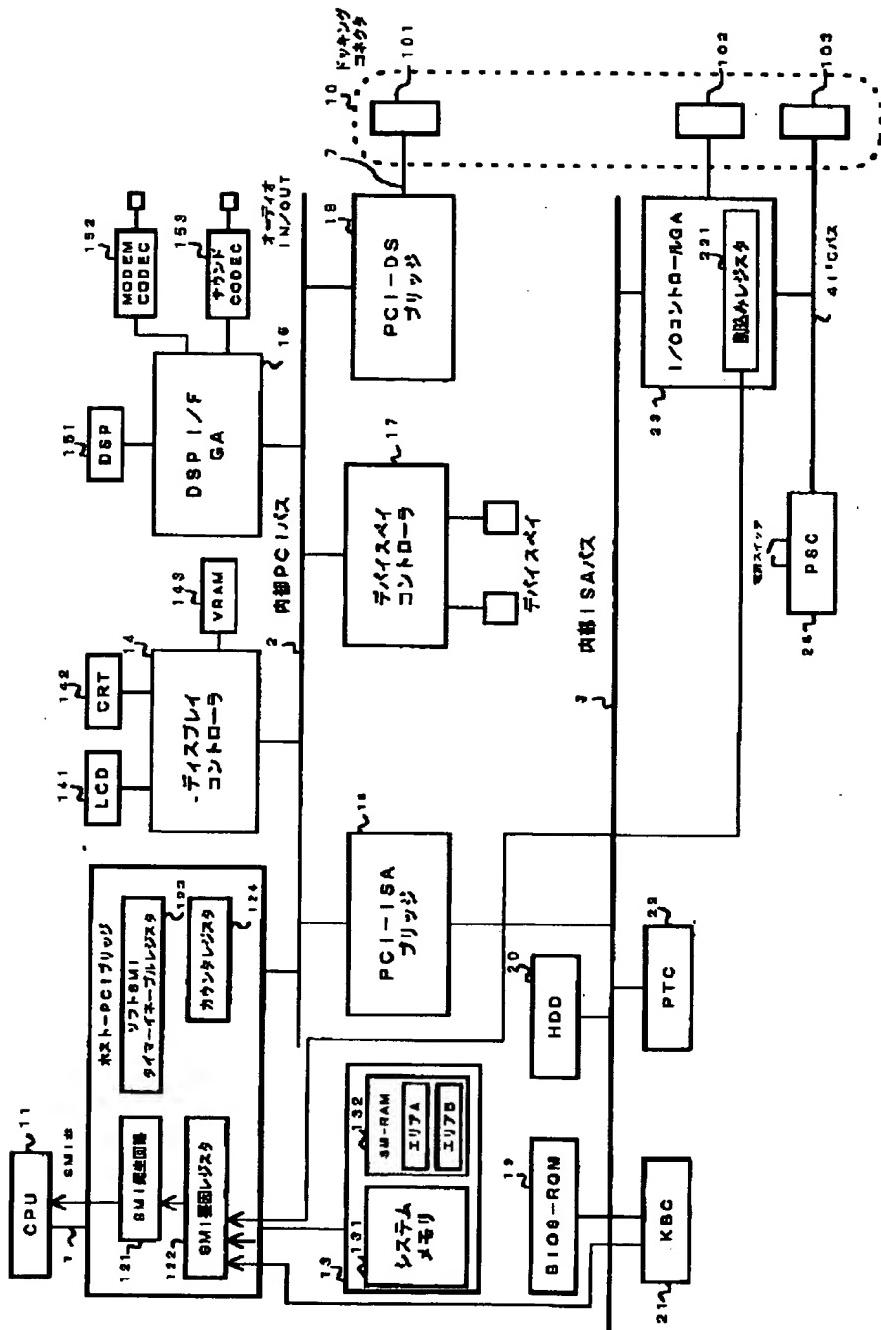
【符号の説明】

1…プロセッサバス、2…内部PCIバス、3…内部ISAバス、4…I2Cバス、5…外部PCIバス、6…外部ISAバス、10…ドッキングコネクタ、11…CPU、12…ホスト-PCIブリッジ装置、13…メモリ、14…ディスプレイコントローラ、15…DSPインターフェースゲートアレイ、16…内部PCI-ISAブリッジ装置、17…デバイスペイコントローラ、18…PCI-DSブリッジ装置、19…BIOS-ROM、20…HDD、21…キーボードコントローラ、22…RTC、23…I/Oコントロールゲートアレイ、24…電源コントローラ(PSC)、30…ドッキングステーション、31…DS-PCI/ISAブリッジ装置、33…DSコントローラ、35…カードコントローラ、36…HDD、100…コンピュータ本体、131…システムメモリ、132…SM-RAM

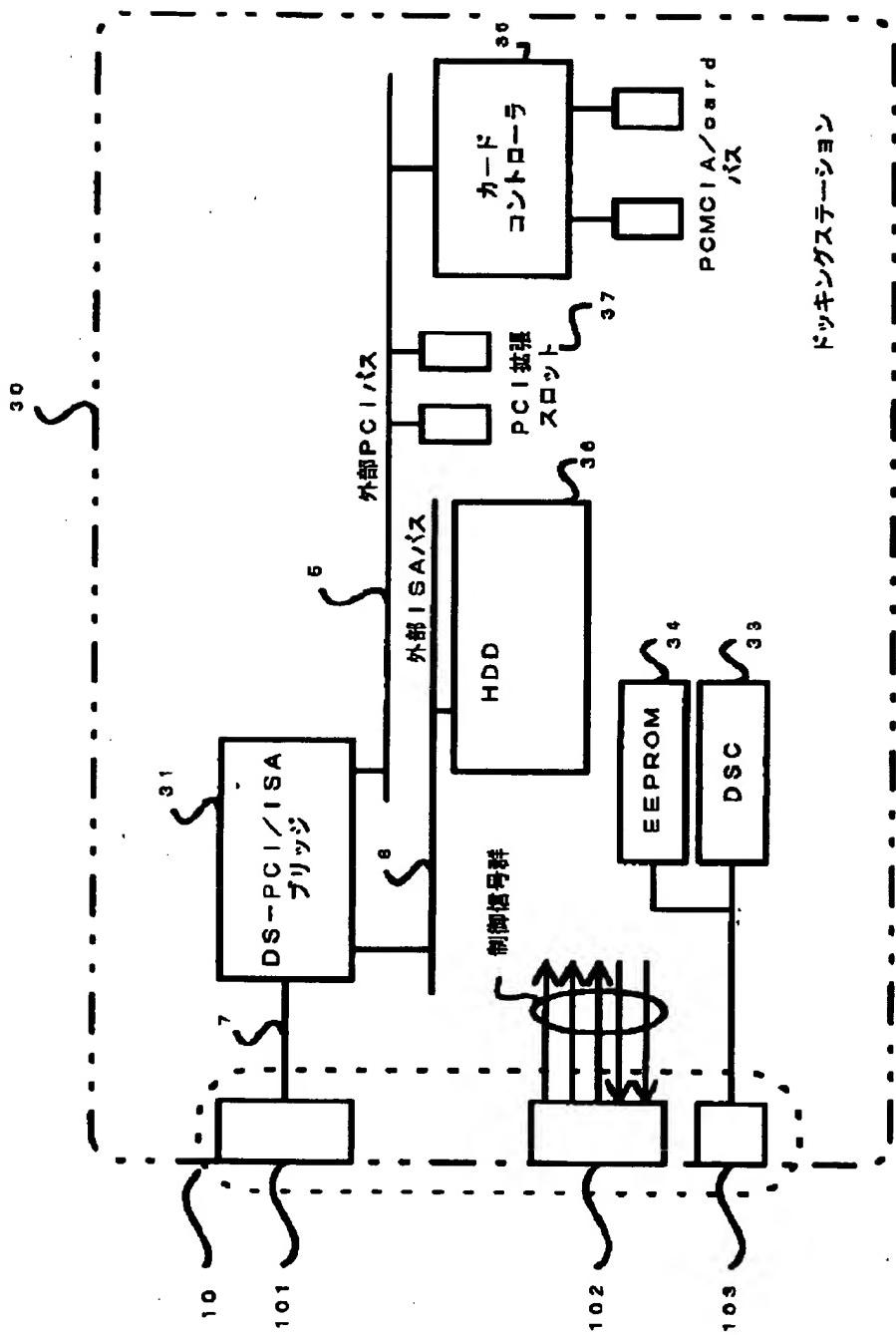
【図3】



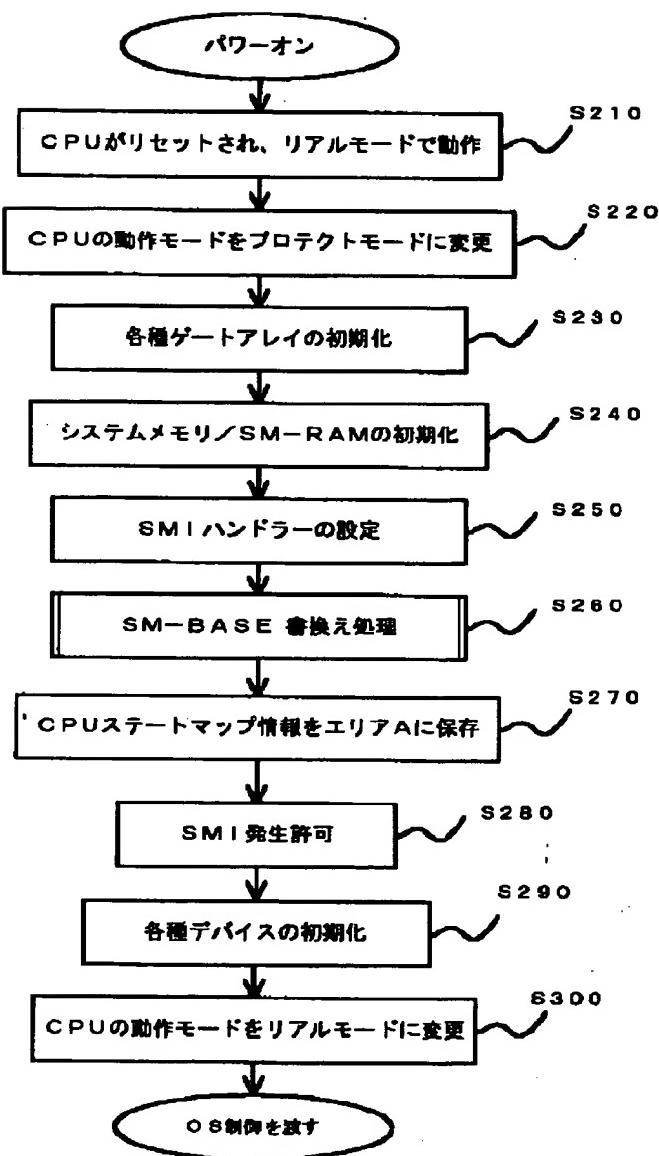
【図1】



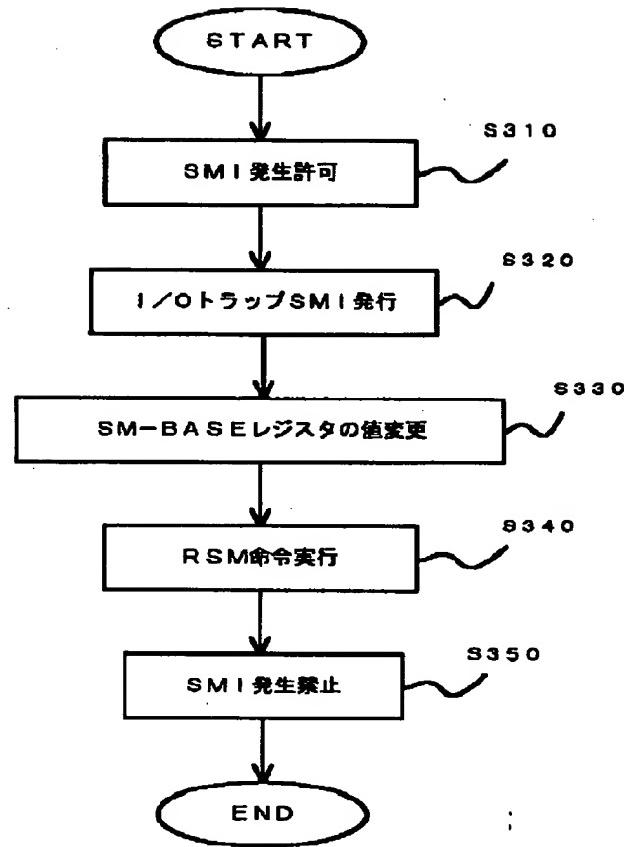
【図2】



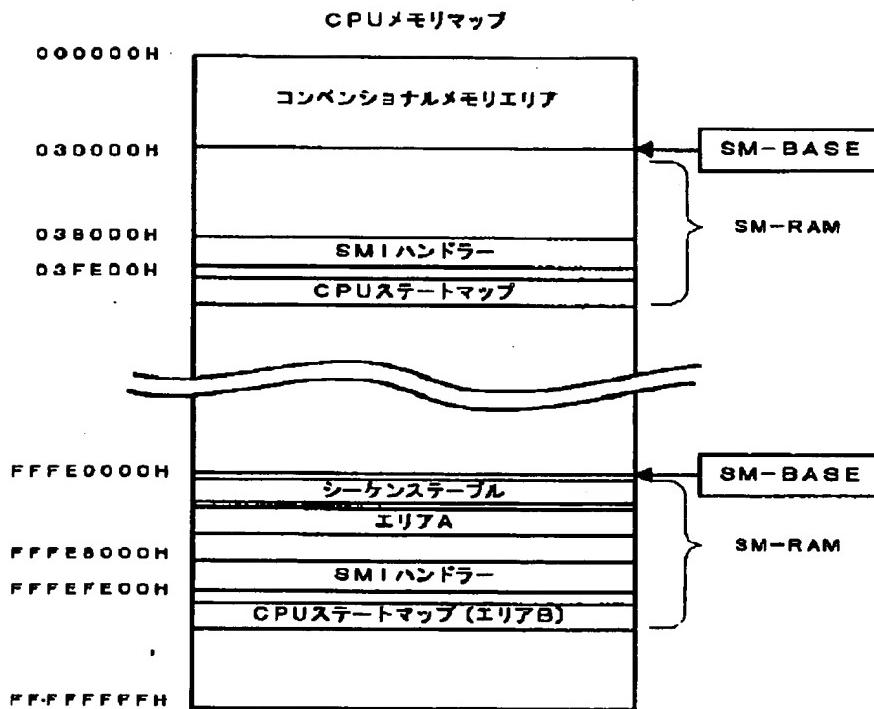
【図4】



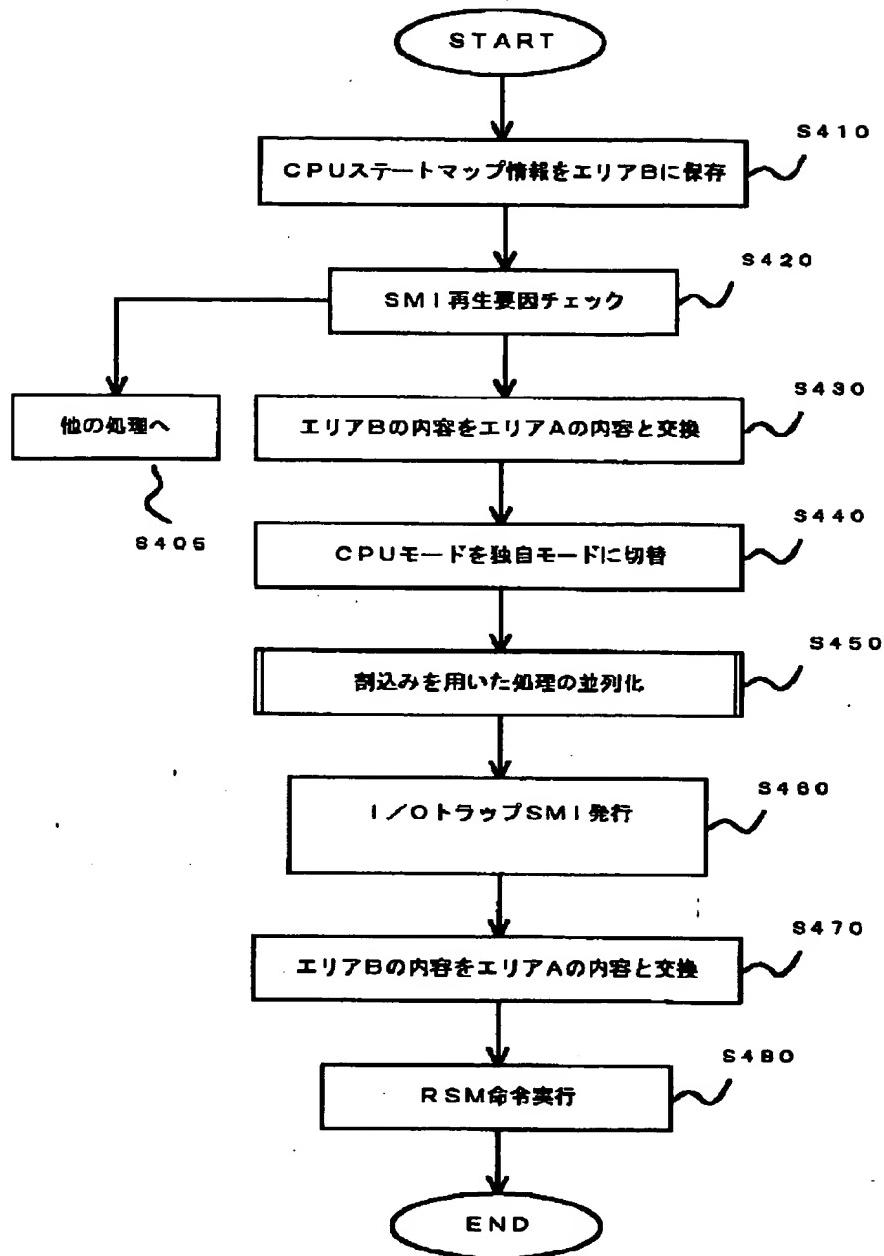
【図5】



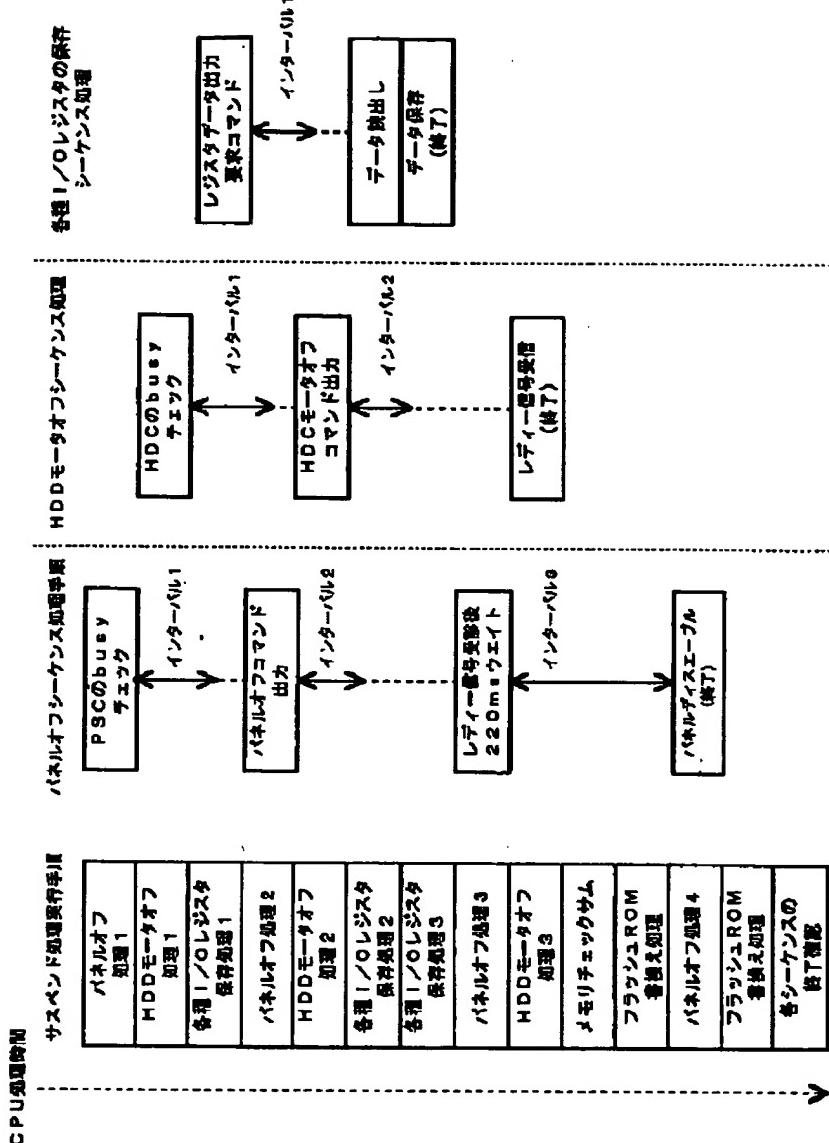
【図 6】



【図7】

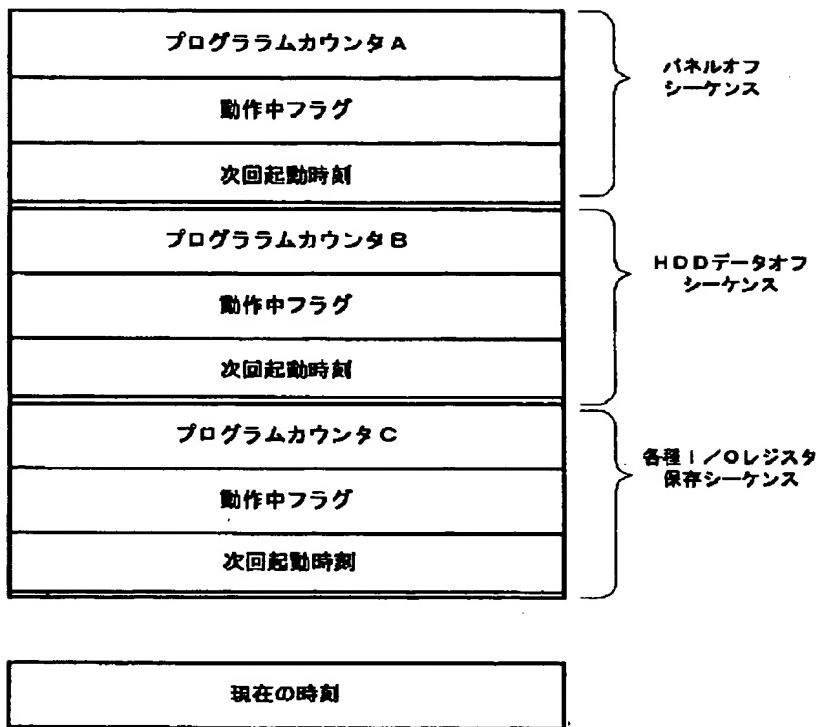


【図8】

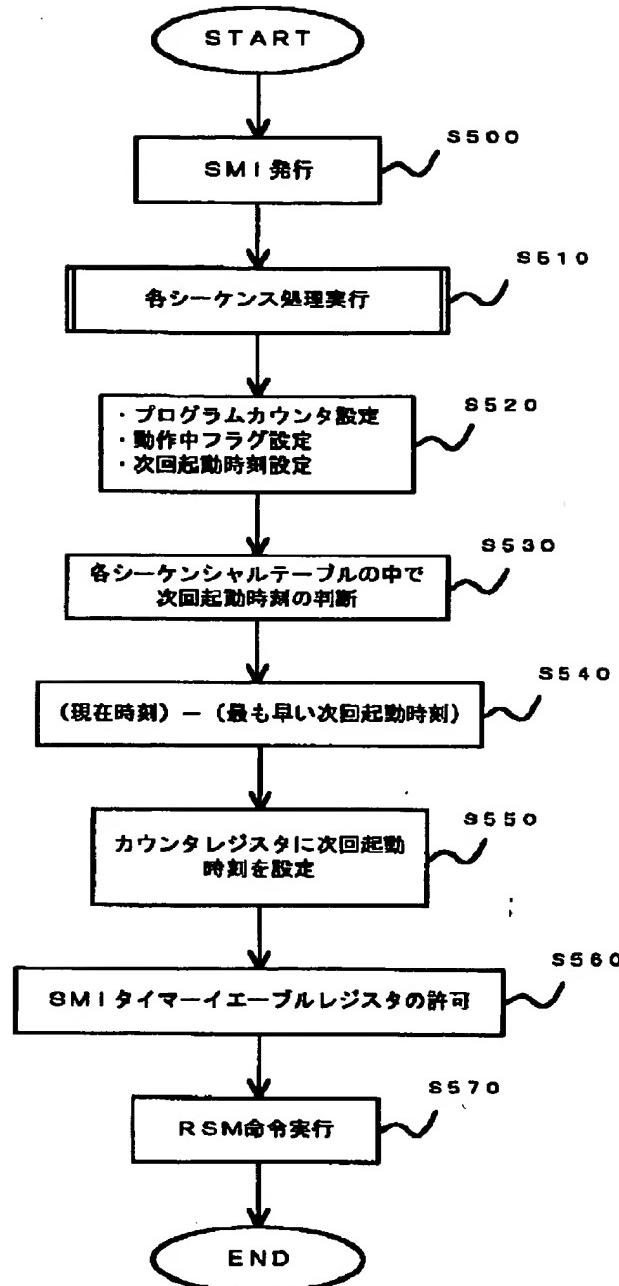


【図9】

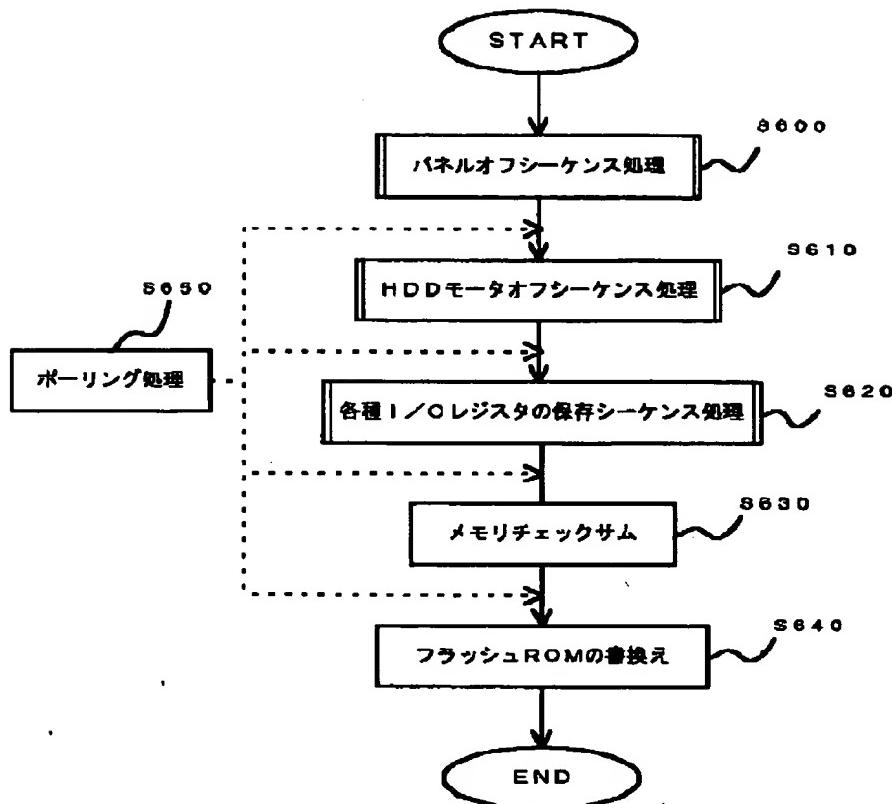
シーケンステーブル125



【図10】



【図11】



フロントページの続き

(72)発明者 小荒井 学  
東京都青梅市新町1381番地1 東芝コンピュータエンジニアリング株式会社内

(72)発明者 藤原 尚伸  
東京都青梅市新町1381番地1 東芝コンピュータエンジニアリング株式会社内